

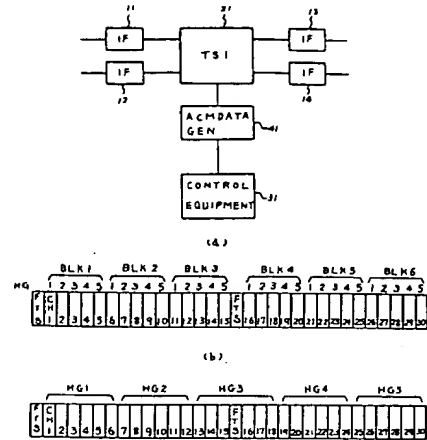
Best Available Copy

(54) DIGITAL CROSS CONNECT CONTROL METHOD

(11) 1-146446 (A) (43) 8.6.1989 (19) JP
 (21) Appl. No. 62-303137 (22) 2.12.1987
 (71) HITACHI LTD (72) YUKIO NAKANO(1)
 (51) Int. Cl. H04L11/20

PURPOSE: To reduce the delay in a connection between line end circuits by generating switch control information to apply the path setting of a line bundle and line bundle decentralization/concentration conversion at the same time from the path setting information of the line bundle and using a time switch so as to implement both the functions simultaneously.

CONSTITUTION: The system consists of a time switch 21 capable of switching in the unit of 1CH, highway termination circuits 11, 12 of centralized arrangement form frame constitution, highway termination circuits 13, 14 of decentralized arrangement form of frame constitution, a cross connect controller 31, and a control memory data generating circuit 41. The control memory data generating circuit 41 receives the line bundle path setting information from the cross connect controller 31, and in case of, e.g., the connection of the HG1 of the termination circuit 11 and the HG2 of the termination circuit 13, the connection information of each CH is formed. That is, the information connecting CH1, CH2, CH3, CH4, CH5, CH6 of the termination circuit 11 and CH2, CH7, CH12, CH17, CH22, CH27 of the termination circuit 13 is formed and it is written in the control memory of the time switch 21.

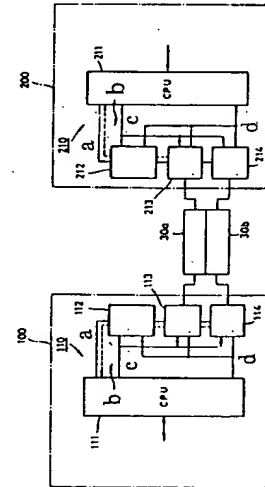


(54) COMMUNICATION METHOD FOR SIGNAL IN FULL DUPLEX COMMUNICATION PATH

(11) 1-146447 (A) (43) 8.6.1989 (19) JP
 (21) Appl. No. 62-304857 (22) 2.12.1987
 (71) KOMATSU LTD (72) YASUSHI KANAMARU(1)
 (51) Int. Cl. H04L13/00, H04L1/16

PURPOSE: To effectively utilize a full duplex communication line rationally by using a computer (that of a personal computer scale is assumed) in common or as a communication means for each equipment so as to use the simplified communication means in terms of the hardware.

CONSTITUTION: Computers 110, 210 (assumed as microcomputers or those with personal computer scale) are used as two communication equipments of 1st and 2nd equipments 100, 200 connected electrically via signal transmission lines 30a, 30b forming the full duplex communication line. A program is set to either of the computers at least such that input processing is applied to a transmission signal received from an opposite computer through interruption processing and the response representing the inputted signal in case of the reception is returned to the opposite computer, and as for the sent signal, the program is set in advance so that the same signal is sent repetitively till the response is returned from the opposite computer.



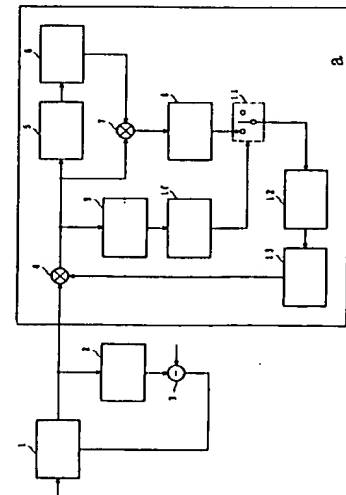
112,212: memory, 113,213: input port, 114,214: output port, a: control bus, b: interruption, c: address bus, d: data bus

(54) FREQUENCY OFFSET CORRECTION CIRCUIT

(11) 1-146448 (A) (43) 8.6.1989 (19) JP
 (21) Appl. No. 62-306591 (22) 2.12.1987
 (71) NEC CORP (72) TAKAMI SUZUKI
 (51) Int. Cl. H04L27/00

PURPOSE: To measure a frequency offset without error from an unknown data signal by applying decision through data point arrangement less than the normal data point arrangement and applying correction when the output of an adaptive equalizer is large.

CONSTITUTION: Phase difference generating means 5, 6, 7, 8 compare the data point corresponding to the product of the output signal between frequency variable oscillation means 12, 13 applying frequency offset correction and the adaptive equalizer 1 with the data point less than the usual data point for the arrangement and select the data point closest to the data point representing the output signal of a multiplier 4 and generate a phase difference signal between the output signal of the multiplier 4 and the selected data point. Control means 9, 10, 11 give the phase difference signal to frequency variable oscillation means 12, 13 when the absolute value of the output signal of the multiplier 4 is larger than the prescribed value and do not give zero to the frequency variable oscillation means when the absolute value of the output signal of the multiplier is smaller than the prescribed value. Thus, control is not carried out.



2: absolute value square circuit, 9: absolute value forming circuit, 13: frequency variable oscillator, 12: loop filter, 10: comparator, 8: imaginary part extraction section, 6: complex number conjugation circuit, a: frequency offset correction circuit

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平1-146446

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)6月8日

H 04 L 11/20

1 0 3

C-7830-5K

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 デジタルクロスコネクト制御方法

⑯ 特 願 昭62-303137

⑰ 出 願 昭62(1987)12月2日

⑱ 発 明 者 中 野 幸 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 竹 村 佳 昭 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

デジタルクロスコネクト制御方法

2. 特許請求の範囲

1. クロスコネクト制御装置より受信した回線束の万路設定情報より、回線束の方路設定と回線束の集中配置と分散配置の相互変換との両者を同時に行うためのスイッチ制御情報を作成し、制御メモリに書き込むことを特徴とするデジタルクロスコネクト制御方法。

2. 前記スイッチ制御情報の作成をROMを用いて行うことを特徴とする特許請求の範囲第1項に記載のデジタルクロスコネクト制御方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、デジタルクロスコネクト装置の制御方法に関する。

〔従来の技術〕

デジタルクロスコネクト装置では、一般に、回線束を単位として方路設定を行う。デジタル

クロスコネクト装置に接続されるハイウェイのフレーム上の回線束の配置方法には、分散配置形式と集中配置形式の2種類がある。

第2図は両形式のフレーム構成例を示したものであり、回線束の大きさは、1回線が84 kb/sの換算で8回線であり、ハイウェイの速度が2.048 Mb/sの場合を示している。第2図(a)は分散配置形式であり、例えば、第1の回線束(HG1; Handling Group No.1)は、CH1, CH8, CH11, CH18, CH21, CH26とから成る。一方、第2図(b)は集中配置形式であり、例えば、HG1はCH1~CH6とから成る。デジタルクロスコネクト装置では、分散配置形式のフレーム構成のハイウェイと集中配置形式のフレーム構成のハイウェイの両者が混在して接続される場合がある。この場合には、クロスコネクト装置の中で両形式の相互変換を行う必要がある。

第4図は、このような場合におけるクロスコネクト装置の従来の構成例である。HG(6CH)

単位の方路設定を行う時間スイッチ(Time Slot Interchanger; T S I) 22は分散配置形式で動作する。分散配置形式のフレーム構成のハイウェイの終端回路13、14は時間スイッチ22に直接接続されるが、集中配置形式のフレーム構成のハイウェイの終端回路11、12と時間スイッチ22との間には、分散/集中変換回路51、52が設けられる。時間スイッチ22は方路設定情報を記憶するための制御メモリを有し、制御メモリの内容はクロスコネクト制御装置31より与えられる。

又、1CH単位にスイッチング可能な時間スイッチを用いて、分散/集中変換も時間スイッチで同時に行う方法も考えられる。この場合には、制御装置は、方路設定と分散/集中変換の両者を行うための制御メモリの内容を求め、時間スイッチに送る。

〔発明が解決しようとする問題点〕

第4図の構成では、分散/集中変換回路51、52において、データは約1フレーム(125

μs)遅延する。時間スイッチ22での遅延は約1フレームであるため、例えば、終端回路11と終端回路13との間の接続では約 $\frac{7}{6}$ フレームの遅延、終端回路11と終端回路12との間の接続では約 $\frac{13}{6}$ フレームの遅延が生じてしまう。

又、分散/集中変換を時間スイッチで行う方法では、遅延時間は約1フレームとなるが、制御装置のソフトウェアは分散/集中変換も考慮して制御メモリの内容を求める必要があるため、ソフトウェアに大きな負担がかかる。

本発明の目的は、制御装置のソフトウェアに負担をかけることなく遅延時間を減少できるようなデジタルクロスコネクト装置の制御方法を提供することにある。

〔問題点を解決するための手段〕

上記目的は、クロスコネクト制御装置より受信した回線束の方路設定情報より、回線束の方路設定と回線束の集中配置と分散配置の相互交換との両者を同時に行うためのスイッチ制御情報を作成し、制御メモリに書き込むことにより、達成される。

〔問題点を解決するための手段〕

上記目的は、クロスコネクト制御装置より受信した回線束の方路設定情報より、回線束の方路設定と回線束の集中配置と分散配置の相互交換との両者を同時に行うためのスイッチ制御情報を作成し、制御メモリに書き込むことにより、達成される。

回線束の方路設定と回線束の集中配置と分散配置の相互交換との両者を同時に行うためのスイッチ制御情報の作成は、例えば、ROMを用いて行う。

〔作用〕

制御メモリには、回線束の方路設定と回線束の集中配置と分散配置の相互交換との両者を同時に行うためのスイッチ制御情報が書き込まれるため、時間スイッチでは、方路設定と分散/集中交換が同時に実行され、遅延時間が減少する。

又、クロスコネクト制御装置より回線束の方路設定のみを受信して、例えばROMによつてスイッチ制御情報を作成するため、クロスコネクト制御装置のソフトウェアの変更は不要である。

〔実施例〕

以下、本発明の一実施例を第1図により説明す

る。

第1図は、1CH単位のスィッチングが可能な時間スイッチ21、集中配置形式のフレーム構成のハイウェイの終端回路11、12、分散配置形式のフレーム構成のハイウェイの終端回路13、14、クロスコネクト制御装置31、スイッチ制御情報を作成し時間スイッチ21の制御メモリに書き込む制御メモリデータ作成回路41、とから構成される。第2図はハイウェイのフレーム構成であり、第2図(a)は分散配置形式、第2図(b)は集中配置形式の組合を示している。

制御メモリデータ作成回路41は、クロスコネクト制御装置31より回線束の方路設定情報を受信する。例えば、終端回路11(第2図(b))のHG1と、終端回路13(第2図(a))のHG2との接続の場合を考える。制御メモリデータ作成回路41は、HGを構成する各CHの接続情報を作成する。即ち、この場合には、終端回路11のCH1、CH2、CH3、CH4、CH5、CH6と、終端回路13のCH7、CH12、

CH17, CH22, CH27とをそれぞれ接続するための情報を作成し、時間スイッチ21の制御メモリに書き込む。

第3図は、制御メモリデータ作成回路41の一例を示したものであり、制御部インタフェース81、ROM62、パルス発生回路63、とから構成される。第3図には、時間スイッチ内の制御メモリ84も記している。

制御部インタフェース81では、回線束の方路設定情報よりROM62のアドレスを作成する。ROM62より、6個のCHの接続情報が取り出され、制御メモリ84に順次書き込まれる。

本実施例では、制御情報の変換にROMを用いているため、簡易なハードウェアによつて変換回路を実現できる。

(発明の効果)

本発明では、回線束の方路設定情報より、回線束の方路設定と回線束の分散/集束変換を同時に行うためのスイッチ制御情報を作成して、時間スイッチでこれらの両機能を同時に行なわせるよう

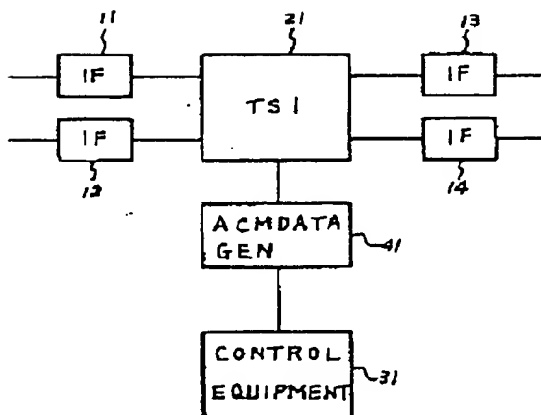
にしているため、クロスコネクト制御装置のソフトウェアに負担をかけることなく、終端回路間の接続の遅延を約1フレームに減少させることが可能である。

4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図はハイウェイのフレーム構成図、第3図は制御メモリデータ作成回路の詳細構成ブロック図、第4図は従来例の構成を示すブロック図である。

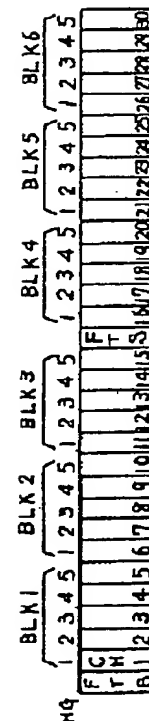
代理人 弁理士 小川 勝男

第 1 図

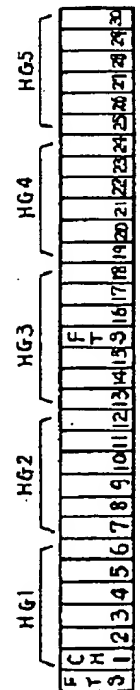


11~14 ハイウェイ終端回路
21 時間スイッチ
31 クロスコネクト制御装置
41 制御メモリデータ作成回路

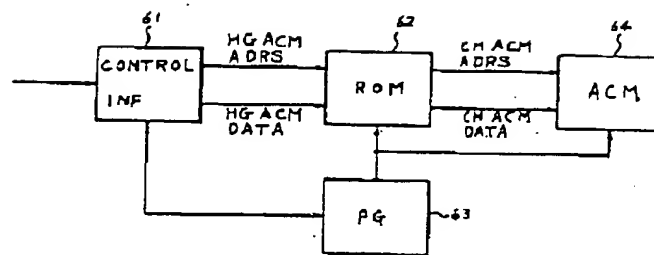
第 2 図
(a)



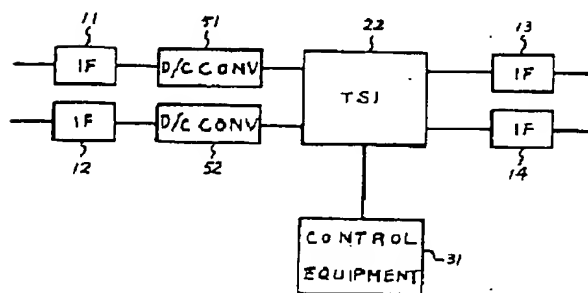
(b)



第 3 図



第 4 図



61 制御部インターフェース
 62 ROM
 63 パルス発生回路
 64 制御部